



XA-9938  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Atsushi SHIRAISHI et al.

Appln. No.: 10/667,663

Group Art Unit: 2876

Filed: September 23, 2003

For: NONVOLATILE MEMORY CARD

\* \* \*

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

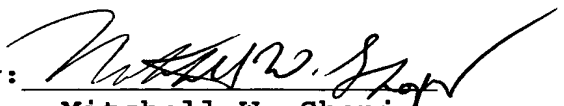
Sir:

Applicants hereby claim the priority of Japanese  
Patent Application No. 2002-294060 filed October 7, 2002,  
and submit herewith a certified copy of said application.

Respectfully submitted,

MWS:lmb

Miles & Stockbridge P.C.  
1751 Pinnacle Drive, Suite 500  
McLean, Virginia 22102-3833  
(703) 903-9000

By:   
Mitchell W. Shapiro  
Reg. No. 31,568

January 8, 2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年10月 7日

出願番号  
Application Number: 特願2002-294060  
[ST. 10/C]: [JP2002-294060]

出願人  
Applicant(s): 株式会社ルネサステクノロジ  
株式会社日立超エル・エス・アイ・システムズ

2003年10月23日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3087622

【書類名】 特許願

【整理番号】 H02011361

【提出日】 平成14年10月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/08

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立  
超エル・エス・アイ・システムズ内

【氏名】 白石 敦

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 田村 隆之

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立  
超エル・エス・アイ・システムズ内

【氏名】 熊原 千明

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立  
超エル・エス・アイ・システムズ内

【氏名】 浅利 信介

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

## 【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

## 【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリカード

【特許請求の範囲】

【請求項 1】 消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、

前記不揮発性メモリのメモリアレイは、そのメモリ領域の物理アドレス毎に空き情報フラグを対応付けた消去テーブルを有し、

前記空き情報フラグは対応メモリ領域が消去許可であることを示す第 1 状態又は消去不許可であることを示す第 2 状態を有し、

前記制御回路は、書き換えデータを書き込むメモリ領域の検索に前記消去テーブルを参照することを特徴とするメモリカード。

【請求項 2】 消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、

前記不揮発性メモリは、メモリアレイの一部に、そのメモリ領域の物理アドレス毎に空き情報フラグを対応付けた消去テーブルを有し、

前記空き情報フラグは対応メモリ領域が消去許可であることを示す第 1 状態又は消去不許可であることを示す第 2 状態を有し、

前記制御回路は、前記消去テーブルを検索して得られる第 1 状態の空き情報フラグに応ずる物理アドレスを、書き換えデータを書き込むメモリ領域とすることを特徴とするメモリカード。

【請求項 3】 消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、

前記不揮発性メモリのメモリアレイは、そのメモリ領域の物理アドレス毎に空き情報フラグを対応付けた消去テーブルと、論理アドレス毎にメモリ領域の物理アドレスを対応付けたアドレス変換テーブルとを有し、前記空き情報フラグは対応メモリ領域が消去許可か否かを示し、

前記制御回路は、前記消去テーブルの空き情報フラグを参照して書き換えデータを書き込むメモリ領域を決定し、データを書き込んだメモリ領域の物理アドレスと論理アドレスとを対応付けてアドレス変換テーブルを更新すると共に、消去

テーブルの空き情報フラグを更新することを特徴とするメモリカード。

【請求項 4】 前記消去テーブルは、異なった消去単位とされる複数のメモリ領域に分割配置され、書き換えデータを書き込むメモリ領域を決定するのに参照される消去テーブルは、書き換えされるデータが保持されたメモリ領域に応ずる空き情報フラグを保有する消去テーブルに対し、異なった消去単位のメモリ領域に形成された消去テーブルとされることを特徴とする請求項 3 記載のメモリカード。

【請求項 5】 消去テーブルの空き情報フラグを更新する処理は、書き換えデータを書き込むメモリ領域を決定するのに参照される消去テーブルに対して書き換えデータの書き込みに決定されたメモリ領域に応ずる空き情報フラグを消去不許可とする第 1 更新処理と、前記書き換えされるデータが保持されたメモリ領域に応ずる空き情報フラグを保有する消去テーブルに対して当該空き情報フラグを消去許可とする第 2 更新処理とであることを特徴とする請求項 4 記載のメモリカード。

【請求項 6】 前記第 1 更新処理を行ってから第 2 更新処理を行うことを特徴とする請求項 5 記載のメモリカード。

【請求項 7】 前記第 1 更新処理と第 2 更新処理の間に、前記データを書き込んだメモリ領域の物理アドレスと論理アドレスとを対応付けてアドレス変換テーブルを更新する処理を行うことを特徴とする請求項 6 記載のメモリカード。

【請求項 8】 異なった消去単位とされる複数のメモリ領域に分割配置された消去テーブルは、異なった消去単位のメモリ領域上でそれぞれ多重化され、多重化された消去テーブルは交互に消去単位を変えるように順番に更新されて利用されることを特徴とする請求項 7 記載のメモリカード。

【請求項 9】 前記アドレス変換テーブルは異なった消去単位とされる複数のメモリ領域に分割配置され、分割配置されたアドレス変換テーブルは、異なった消去単位のメモリ領域上でそれぞれ多重化され、多重化されたアドレス変換テーブルは交互に消去単位を変えるように順番に更新されて利用されることを特徴とする請求項 8 記載のメモリカード。

【請求項 10】 前記制御回路は、データ読み出しを行うメモリ領域を前記

アドレス変換テーブルを参照して検索することを特徴とする請求項 3 記載のメモリカード。

【請求項 1 1】 前記不揮発性メモリの消去単位は外部から指示される書き込み単位よりも大きいことを特徴とする請求項 3 記載のメモリカード。

【請求項 1 2】 消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、

前記不揮発性メモリのメモリアレイは、そのメモリ領域の物理アドレス毎に空き情報フラグを対応付けた消去テーブルと、論理アドレス毎にメモリ領域の物理アドレスを対応付けたアドレス変換テーブルとを有し、前記空き情報フラグは対応メモリ領域が消去許可可否かを示し、

前記制御回路は、記憶情報の書き換えを行うとき、書き換え対象の論理アドレスに対応するアドレス変換テーブルをバッファに読み込み、読み込んだアドレス変換テーブルから書き換えされるデータの物理アドレスを取得し、取得した物理アドレスのメモリ領域をリードしてリードデータをバッファにストアし、前記取得した物理アドレスに対応する第 1 消去テーブルをバッファに読み込み、書き換えデータを書き込むメモリ領域を検索するために用いる第 2 消去テーブルをバッファに読み込み、読み込んだ第 2 消去テーブルの空き情報フラグを参照して書き換えデータを書き込むメモリ領域を決定し、前記ストアしたデータに外部からの入力データを組合わせ、組み合わされたデータを書き換えデータとして前記決定されたメモリ領域に書き込み、データを書き込んだメモリ領域の物理アドレスと論理アドレスとの対応をバッファに読み込まれたアドレス変換テーブル上で更新し、バッファに読み込まれた消去テーブル上で空き情報フラグを更新し、更新した消去テーブルとアドレス変換テーブルをフラッシュメモリに書き込むことを特徴とするメモリカード。

【請求項 1 3】 更新した消去テーブルとアドレス変換テーブルをフラッシュメモリに書き込む処理は、第 2 消去テーブル、アドレス変換テーブル、第 1 消去テーブルの順番であることを特徴とする請求項 1 2 記載のメモリカード。

【請求項 1 4】 前記消去テーブルは、異なった消去単位とされる複数のメモリ領域に分割配置され、異なった消去単位のメモリ領域上でそれぞれ多重化さ

れ、多重化された消去テーブルは交互に消去単位を変えるように順番に更新されて利用されることを特徴とする請求項 13 記載のメモリカード。

【請求項 15】 前記アドレス変換テーブルは異なった消去単位とされる複数のメモリ領域に分割配置され、分割配置されたアドレス変換テーブルは、異なった消去単位のメモリ領域上でそれぞれ多重化され、多重化されたアドレス変換テーブルは交互に消去単位を変えるように順番に更新されて利用されることを特徴とする請求項 14 記載のメモリカード。

【請求項 16】 消去及び書き込み可能な不揮発性メモリを有し、  
前記不揮発性メモリは、そのメモリアレイの一部に、そのメモリ領域の物理アドレス毎に空き情報フラグを対応付けた消去テーブルと、論理アドレス毎にメモリ領域の物理アドレスを対応付けたアドレス変換テーブルとを有し、

前記空き情報フラグは対応メモリ領域が消去許可であることを示す第 1 状態又は消去不許可であることを示す第 2 状態を有し、検索された第 1 状態の空き情報フラグに応ずる物理アドレスが書き換えデータを書き込むメモリ領域を決定することを特徴とするメモリカード。

【請求項 17】 前記消去テーブルは、異なった消去単位とされる複数のメモリ領域に分割配置され、書き換えデータを書き込むメモリ領域を決定するのに参照される消去テーブルは、書き換えされるデータが保持されたメモリ領域に応ずる空き情報フラグを保有する消去テーブルに対し、異なった消去単位のメモリ領域に形成された消去テーブルとされ、

前記書き換えされるデータが保持されたメモリ領域は、アドレス変換テーブルが参照されて決定されることを特徴とする請求項 16 記載のメモリカード。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、消去及び書き込み可能な不揮発性メモリ、例えばフラッシュメモリを有するメモリカードに関し、例えばメモリ領域の物理アドレスを論理アドレスに対応付けてダイナミックに配置する技術の改良に関する。

##### 【0002】





## 【従来の技術】

メモ리카ードに書き込みエラー等を生じたとき、そのエラーブロックを代替メモリブロックで置き換えることが行なわれる。そのような代替技術として、代替エリア管理テーブルを設け、セクタのようなメモリブロック単位のセクタ管理領域に設けられたセクタ有効性フラグが不良を示すとき、その代替エリア管理テーブルから代替セクタアドレスを取得する。代替セクタアドレスのセクタに対しても同じようにセクタ管理領域をリードしてその有効性を判定する。無効であれば、また同じように代替エリア管理テーブルから代替セクタアドレスを取得する。

## 【0003】

特許文献1には、メモ리카ードに搭載されたフラッシュメモリに、ファイルデータを記憶するデータメモリ領域と、エラー領域を代替する代替メモリ領域、データメモリ領域のエラー情報を記憶するエラーメモリ領域を設け、エラーメモリ領域にはエラーとなったデータメモリの代替メモリのアドレスをエラー情報として格納する構成が記載される（図2参照）。

## 【0004】

特許文献2には、データの書き込みは光ディスクと同様に記憶データと記憶場所には関連性を持たせず、データの書き込みがあつたら、データを書き加えていくこととし、既に書き込んであるファイルの書き換えが発生した場合は、古いファイルの記憶領域は無効として消去可能領域とし、あるタイミングで無効領域のデータを消去するガーベージコレクションを行うことが記載される（第4段落及び第8段落参照）。この技術においてファイル管理には論理セクタテーブル、物理セクタテーブル、及びステータステーブルを用いる。論理セクタテーブルは論理セクタのデータがフラッシュメモリの何処にマッピングされているかを参照可能にする。物理セクタテーブルは物理セクタにマッピングされたファイルデータの論理セクタ番号を参照可能にする。ステータステーブルは各物理セクタのステータスを参照可能にする。例えば書き込みでは、次のデータの書き込みを行うセクタを示す書き込みポインタが設定されており、このポインタが示すセクタが書き込み可能な状態にあるかをステータステーブルにより判定する。ステータステーブルには消去回数が多くなって劣化したことを示すフラグやデータが既に書き



込まれていることを示すフラグがあり、これが立っていて書き込み不可能であれば次のセクタにポインタを移す、という制御が行なわれるようになっている。

【0005】

【特許文献1】

特開平5-204561号公報

【特許文献2】

特開平6-124596号公報

【0006】

【発明が解決しようとする課題】

しかしながら、従来技術では書き込みや書き換えに際して代替領域を検索するには順次物理セクタの管理情報を読み出す処理を行い、或は前記エラーメモリ領域から代替メモリのアドレス等を読み出す処理を行わなければならない。記憶データと記憶場所には関連性を持たせないとする技術においても書き込みセクタを指定するポインタの値に追従してステータステーブルのステータス情報を順次読み込まなければならない。要するに、書き込みを行う空きセクタの検索には物理セクタから情報を順次読み出す処理が必要とされる。

【0007】

また、本発明者の検討によれば、消去中に動作電源が遮断されると、その書き込みブロック例えばセクタのアドレス情報が消失したり、書き込み対象以外のデータが不所望に消失する虞のあることが明らかにされた。即ち、消去及び書き込み可能な不揮発性メモリ例えばフラッシュメモリはデータを書き込むとき消去を行ってからデータの書き込み処理を行う。消去及び書き込み処理単位である1ブロックにはユーザデータの他に当該ブロックが不良又は良の何れであるかを示すコードや、当該ブロックの論理アドレスなどの管理情報も含まれている。消去及び書き込み処理において処理対象ブロックの記憶情報はバッファに退避され、この状態で消去が行なわれ、その後、書き換えデータと共に管理情報が対応ブロックに順次書き込まれる。消去処理中に動作電源が遮断されればバッファ上から管理情報も失われ、そのブロックのアドレスが消失してしまう。また、1ブロックよりも小さなサイズのデータを書換える場合でも、消去及び書き込み処理単位と

の関係で当該ブロック上で書換ええないデータを含めてそのブロックのデータを同じように退避してから、ブロック単位で消去を行い、その後、書換えるデータと退避してあった書き換ええないデータを当該ブロックに書き込んでいく。この消去及び書き込み処理中に動作電源が遮断されると、上記同様にバッファ上の書換ええないデータも消失し、書換え対象でないデータが不所望に消失してしまう。動作電源の遮断はメモリスロットからメモリカードが抜き取られ、或はカードホストのバッテリー電源遮断などにより生ずる。

#### 【0 0 0 8】

本発明の目的は、正規のメモリ領域に対するアクセスの高速化を実現することができるメモリカードを提供することにある。

#### 【0 0 0 9】

本発明の別の目的は、メモリセルの書換え回数の制限に対して寿命を延ばし、消去及び書き込み処理によるディスタープの影響を軽減することができるメモリカードを提供することにある。

#### 【0 0 1 0】

本発明の別の目的は、消去及び書き込み処理中に動作電源が遮断されてもアドレスの消失や書き込み非対象の記憶情報が不所望に消失するのを防止することができるメモリカードを提供することにある。

#### 【0 0 1 1】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

#### 【0 0 1 2】

##### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

#### 【0 0 1 3】

〔1〕メモリカードは消去及び書き込み可能な不揮発性メモリ（2）と、制御回路（5）とを有する。前記不揮発性メモリのメモリアレイは、そのメモリ領域の物理アドレス毎に空き情報フラグ（F L G）を対応付けた消去テーブルを有し

、前記空き情報フラグは対応メモリ領域が消去許可であることを示す第1状態又は消去不許可であることを示す第2状態を有する。前記制御回路は、書き換えデータを書き込むメモリ領域の検索に前記消去テーブルを参照する。したがって、データの書き換えに際して、前記消去テーブルを参照して第1状態の空き情報フラグを識別すれば、その第1状態の空き情報フラグに応ずる物理アドレスのメモリ領域を消去及び書き込み対象とすればよい。書き換え前のメモリ領域と同じメモリ領域で書き換えを行わないから、書き換えが行なわれても書き換え前のメモリ領域には元の記憶情報が残っている。

#### 【0014】

〔2〕メモリカードは消去及び書き込み可能な不揮発性メモリと、制御回路とを有する。前記不揮発性メモリは、メモリアレイの一部に、そのメモリ領域の物理アドレス毎に空き情報フラグを対応付けた消去テーブルを有する。前記空き情報フラグは対応メモリ領域が消去許可であることを示す第1状態又は消去不許可であることを示す第2状態を有する。前記制御回路は、前記消去テーブルを検索して得られる第1状態の空き情報フラグに応ずる物理アドレスを、書き換えデータを書き込むメモリ領域とする。

#### 【0015】

〔3〕メモリカードは消去及び書き込み可能な不揮発性メモリと、制御回路とを有する。前記不揮発性メモリのメモリアレイは、そのメモリ領域の物理アドレス毎に空き情報フラグを対応付けた消去テーブルと、論理アドレス毎にメモリ領域の物理アドレスを対応付けたアドレス変換テーブルとを有し、前記空き情報フラグは対応メモリ領域が消去許可か否かを示す。前記制御回路は、前記消去テーブルの空き情報フラグを参照して書き換えデータを書き込むメモリ領域を決定し、データを書き込んだメモリ領域の物理アドレスと論理アドレスとを対応付けてアドレス変換テーブルを更新すると共に、消去テーブルの空き情報フラグを更新する。

#### 【0016】

これによれば、メモリ領域の物理アドレスと論理アドレスとの対応はアドレス変換テーブルにより直接変更可能であるから、エラーのあるメモリ領域を除外す

るようにアドレス変換テーブルを構成することにより、エラーによる代替関係を一々辿ることを要せず、アクセスの高速化が実現される。また、記憶情報の書き換えでは、書き換えデータを書き込むメモリ領域は前記消去テーブルの空き情報フラグを参照して決定し、書き換え前のメモリ領域と同じメモリ領域で書き換えを行わない。したがって、書き換えが行なわれても書き換え前のメモリ領域には元の記憶情報が残っている。書き換えによって変化される物理アドレスと論理アドレスとの対応及びメモリエリアの空き状態は、書き換えが行なわれた後にアドレス変換テーブル及び消去テーブルに反映されるから、書き換え処理途中で電源遮断があっても、有意の記憶情報はアクセス可能な状態を維持して書き込み処理開始前の状態を保持することができる。

#### 【0017】

本発明の具体的な一つの形態として、前記消去テーブルは、異なった消去単位とされる複数のメモリ領域に分割配置され、書き換えデータを書き込むメモリ領域を決定するのに参照される消去テーブル（第1消去テーブル）は、乱数を使って選択する。これは、書き換え処理が同じメモリ領域に集中しないようにするためである。

#### 【0018】

このとき、消去テーブルの空き情報フラグを更新する処理は、書き換えデータを書き込むメモリ領域を決定するのに参照される消去テーブルに対して書き換えデータの書き込みに決定されたメモリ領域に必ずる空き情報フラグを消去不許可とする第1更新処理と、前記書き換えされるデータが保持されたメモリ領域に必ずる空き情報フラグを保有する消去テーブルに対して当該空き情報フラグを消去許可とする第2更新処理とになる。これにより、第1及び第2消去テーブルの空き情報フラグは実際の状態に整合される。

#### 【0019】

特に、前記第1更新処理を行ってから第2更新処理を行うことが望ましい。前記第1処理と第2処理の間に、前記データを書き込んだメモリ領域の物理アドレスと論理アドレスとを対応付けてアドレス変換テーブルを更新する処理を行うことが望ましい。上記処理順は不所望な電源遮断によるデータ消失の防止を徹底さ

せる意味と、記憶情報管理の論理整合を採り易くする意味がある。即ち、新ブロックアドレスのデータを消去不許可にして保護する処理（第2更新処理）を行った後に、旧ブロックアドレスに残っているデータを容易に取り出せなくする処理（アドレス変換テーブルの更新処理）、そして旧ブロックアドレスに残っているデータを消去許可とする処理（第1更新処理）を行う。仮に、先に第2更新処理を完了すると、新ブロックアドレスと旧ブロックアドレスの双方に対して消去を許容する状態が発生し、このまま電源の遮断が発生すれば、その後に前記双方に対する消去許容態が維持され、必要なデータが不所望に消去される虞を生ずる。

#### 【0020】

本発明の更に具体的な一つの形態として、異なった消去単位とされる複数のメモリ領域に分割配置された消去テーブルは、異なった消去単位のメモリ領域上でそれぞれ多重化され、多重化された消去テーブルは交互に消去単位を変えるように順番に更新されて利用されることが望ましい。この多重化により同じ不揮発性メモリセルが繰り返し書き換えに供される頻度を低減することができる。

#### 【0021】

同様に、前記アドレス変換テーブルも異なった消去単位とされる複数のメモリ領域に分割配置し、分割配置されたアドレス変換テーブルは、異なった消去単位のメモリ領域上でそれぞれ多重化され、多重化されたアドレス変換テーブルは交互に消去単位を変えるように順番に更新されて利用されることが望ましい。

#### 【0022】

本発明の更に具体的な一つの形態として、前記制御回路は、データ読み出しを行うメモリ領域を前記アドレス変換テーブルを参照して検索する。前記不揮発性メモリの消去単位は外部から指示される書き込み単位よりも大きい。

#### 【0023】

〔4〕本発明の別の観点によるメモリカードは、消去及び書き込み可能な不揮発性メモリと、制御回路とを有する。前記不揮発性メモリのメモリアレイは、そのメモリ領域の物理アドレス毎に空き情報フラグを対応付けた消去テーブルと、論理アドレス毎にメモリ領域の物理アドレスを対応付けたアドレス変換テーブルとを有し、前記空き情報フラグは対応メモリ領域が消去許可か否かを示す。前記



制御回路は、記憶情報の書き換えを行うとき、書き換え対象の論理アドレスに対応するアドレス変換テーブルをバッファに読み込み、読み込んだアドレス変換テーブルから書き換えされるデータの物理アドレスを取得し、取得した物理アドレスのメモリ領域をリードしてリードデータをバッファにストアし、前記取得した物理アドレスに対応する第1消去テーブルをバッファに読み込み、書き換えデータを書き込むメモリ領域を検索するために用いる第2消去テーブルをバッファに読み込み、読み込んだ第2消去テーブルの空き情報フラグを参照して書き換えデータを書き込むメモリ領域を決定し、前記ストアしたデータに外部からの入力データを組合わせ、組み合わされたデータを書き換えデータとして前記決定されたメモリ領域に書き込み、データを書き込んだメモリ領域の物理アドレスと論理アドレスとの対応をバッファに読み込まれたアドレス変換テーブル上で更新し、バッファに読み込まれた消去テーブル上で空き情報フラグを更新し、更新した消去テーブルとアドレス変換テーブルをフラッシュメモリに書き込む。

#### 【0024】

更新した消去テーブルとアドレス変換テーブルをフラッシュメモリに書き込む処理は、第2消去テーブル、アドレス変換テーブル、第1消去テーブルの順番であることが望ましい。前記消去テーブルは、異なった消去単位とされる複数のメモリ領域に分割配置され、異なった消去単位とされる複数のメモリ領域に分割配置された消去テーブルは、異なった消去単位のメモリ領域上でそれぞれ多重化され、多重化された消去テーブルは交互に消去単位を変えるように順番に更新され利用されてよい。同様に前記アドレス変換テーブルも多重化されるのがよい。書き換えデータを書き込むメモリ領域を検索するために、乱数を用いて検索開始物理アドレスを決定し、決定した物理アドレスに対応した消去テーブルを第2消去テーブルとして用いる。

#### 【0025】

〔5〕本発明の別の観点によるメモリカードは、消去及び書き込み可能な不揮発性メモリを有し、前記不揮発性メモリは、そのメモリアレイの一部に、そのメモリ領域の物理アドレス毎に空き情報フラグを対応付けた消去テーブルと、論理アドレス毎にメモリ領域の物理アドレスを対応付けたアドレス変換テーブルとを

有する。前記空き情報フラグは対応メモリ領域が消去許可であることを示す第1状態又は消去不許可であることを示す第2状態を有し、検索された第1状態の空き情報フラグに応ずる物理アドレスが書き換えデータを書き込むメモリ領域を決定する。

#### 【0026】

書き換えデータを書き込むメモリ領域を検索するために、乱数を用いて検索開始物理アドレスを決定し、決定した物理アドレスに対応した消去テーブルを第2消去テーブルとして用いる。前記書き換えされるデータが保持されたメモリ領域は、アドレス変換テーブルが参照されて決定されることになる。

#### 【0027】

##### 【発明の実施の形態】

図1には本発明に係るメモリカードの一例が示される。メモリカード1は消去及び書き込み可能な不揮発性メモリ例えばフラッシュメモリ2と、DRAM (Dynamic Random Access memory) 又はSRAM (Static Random Access Memory) 等から成るバッファメモリ4と、メモリ制御及び外部インタフェース制御を行うカードコントローラ5とを、実装基板に備えて成る。

#### 【0028】

前記バッファメモリ4及びフラッシュメモリ2はカードコントローラ5のアクセス制御を受ける。前記フラッシュメモリ2は、特に図示はしないが、電氣的に消去及び書き込み可能な不揮発性メモリセルトランジスタが多数マトリクス配置されたメモリアレイARYを有する。メモリセルトランジスタ（フラッシュメモリセルとも記す）は、特に図示はしないが、半導体基板若しくはウェル内に形成されたソース及びドレイン、前記ソースとドレインとの間のチャンネル領域にトンネル酸化膜を介して形成されたフローティングゲート、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲートによって構成される。コントロールゲートは対応するワード線に、ドレインは対応するビット線に、ソースはソース線に接続される。前記メモリセルトランジスタは、前記フローティングゲートに電子が注入されると閾値電圧が上昇し、また、前記フローティングゲートから電子を引き抜くと閾値電圧が低下する。前記メモリセルトランジスタ



タは、データ読み出しのためのワード線電圧（コントロールゲート印加電圧）に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。

#### 【0029】

図1において、前記カードコントローラ5は、例えばホストコンピュータ（ホスト装置）6との間でIDEディスクインタフェース仕様などに従った外部インタフェース制御を行う。カードコントローラ5は、ホストコンピュータ6からの指示に従って、フラッシュメモリ2をアクセスするアクセス制御機能を有する。このアクセス制御機能はハードディスク互換の制御機能であり、例えばホストコンピュータ6がセクタデータの集合をファイルデータとして管理するとき、カードコントローラ5は論理アドレスとしてのセクタアドレスと物理メモリアドレスとを対応させてフラッシュメモリ2のアクセス制御を行う。図1に従えば、前記カードコントローラ5は、ホストインタフェース回路10、演算制御手段としてのマイクロプロセッサ（MPU）11、フラッシュコントローラ12、及びバッファコントローラ13から成る。前記フラッシュコントローラ12は図示を省略するECC回路を備える。

#### 【0030】

前記MPU11は、CPU（Central Processing Unit）15、プログラムメモリ（PGM）16及びワークRAM（WRAM）17などを有し、カードコントローラ5を全体的に制御する。プログラムメモリ16はCPU15の動作プログラムなどを保有する。

#### 【0031】

前記ホストインタフェース回路10は、ATA（AT Attachment）、IDE（Integrated Device Electronics）、SCSI（Small Computer System Interface）、MMC（MultiMediaCard）、PCMCIA（Personal Computer Memory Card International Association）等の所定のプロトコルに従って、パーソナルコンピュータ又はワークステーションなどのホストコンピュータ6とインタフェースを行う回路である。ホストインタフェース動作の制御はMPU11が行う。

**【 0 0 3 2 】**

前記バッファコントローラ 1 3 は M P U 1 1 から与えられるアクセス指示に従って、バッファメモリ 4 のメモリアクセス動作を制御する。バッファメモリ 4 にはホストインタフェース 1 0 に入力されたデータ、又はホストインタフェース 1 0 から出力するデータが一時的に保持される。また、バッファメモリ 4 には、フラッシュメモリ 2 から読み出されたデータ又はフラッシュメモリ 2 に書き込まれるデータが一時的に保持される。

**【 0 0 3 3 】**

フラッシュコントローラ 1 2 は M P U 1 1 から与えられるアクセス指示に従って、フラッシュメモリ 2 に対する、読み出し動作、消去動作及び書き込み動作を制御する。フラッシュコントローラ 1 2 は、読み出し動作において読み出しコマンドコードや読み出しアドレス情報等の読み出し制御情報を出力し、書き込み動作において書き込みコマンドコード及び書き込みアドレス情報などの書き込み制御情報を出力し、消去動作において消去コマンド等の消去制御情報を出力する。図示を省略する E C C 回路は、M P U 1 1 から与えられる指示に従って、フラッシュメモリ 2 に書き込むデータに対してエラー訂正符号（エラー訂正コード）を生成して、書き込みデータに付加する。また、フラッシュメモリ 2 から読み出された読み出しデータを当該読み出しデータに付加されているエラー訂正符号を用いてエラー検出・訂正処理を行い、そのエラー訂正能力範囲のエラー発生に対してエラー訂正を行う。

**【 0 0 3 4 】**

フラッシュメモリ 2 はそのメモリアレイ A R Y の一部に消去テーブル 2 0 及びアドレス変換テーブル 2 1 を有する。

**【 0 0 3 5 】**

図 2 にはフラッシュメモリ 2 の記憶領域が例示される。フラッシュメモリ 2 の記憶領域（メモリアレイ A R Y）は、前記消去テーブル 2 0、アドレス変換テーブル 2 1 及びユーザエリア 2 2、消去テーブルとアドレス変換テーブルを更新するときに必要な空きブロック領域 2 3 に大別される。各領域はブロック（メモリセクタ）単位で物理アドレスとしてのブロックアドレスが与えられる。特

に制限されないが1ブロックは約2KB（キロバイト）の記憶容量を有し、その1ブロックに含まれるメモリセルアレイは1本のワード線又は1種類のワード線選択信号で選択され、消去処理及び書き込み処理の単位とされる。即ち、ここでは消去処理や書き込み処理に必要な高電圧がワード線単位で印加される。この1ブロックはHDDなどのストレージにおける書き換え単位とされるセクタ（ストレージセクタ）の容量512Bよりも大きい。例えば1ブロックは4ストレージセクタ分にECCコードを合わせた記憶容量を有する。

#### 【0036】

前記消去テーブル20とアドレス変換テーブル21のそれぞれは、2ブロック単位で分割配置され、各分割単位はその2ブロック内で多重化される。例えば消去テーブルはブロックアドレス0x0000～0x000Fに配置され、0x0000と0x0001のように2ブロックを一単位として2ブロック毎に分割される。図2では消去テーブルブロック0-0と0-1には、分割された先頭の消去テーブルが多重化されて形成されている。アドレス変換テーブルはブロックアドレス0x0010～0x001Fに配置され、0x0010と0x0011のように2ブロックを一単位として2ブロック毎に分割される。図2ではアドレス変換テーブルブロック0-0と0-1には、分割された先頭のアドレス変換テーブルが多重化されて形成されている。

#### 【0037】

図3にはアドレス変換テーブルの一部、即ち分割された先頭のアドレス変換テーブルの詳細が例示される。ATTで示されるものが分割された一つのアドレス変換テーブルであり、図では“消去済”と記載された領域を併せて8重に多重化されている。多重化された8個のアドレス変換テーブルはその内の1個が順番に有効とされる。分割されたアドレス変換テーブルATTは、4個のストレージセクタに相当する論理アドレス毎に、対応するメモリセクタの物理アドレス即ち1個のブロックアドレスを対応付けるた情報を保有する。例えば、アドレス変換テーブルATTの先頭から順番に、論理アドレスLBA0～3にはブロックアドレスBA<sub>m</sub>が対応付けられ、論理アドレスLBA4～7にはブロックアドレスBA<sub>n</sub>が対応付けられる、と言うように、論理アドレスと物理アドレスとを対応付け

た情報が格納される。アドレス変換テーブルにおける論理アドレス情報は例えば昇順で配置される。降順であってもよい。図3において、ブロックアドレス  $BA_m$ ,  $BA_n$  等のメモリブロックアドレスは、連続した論理アドレス4セクタに対応されるメモリブロックのアドレスを意味し、例えば15ビットを有する。ここでは、メモリブロックのアドレス毎に1ビットのライトプロテクトビットWPが付加されている。ホストコンピュータ6からメモリカード1に対するアクセス指示にはアクセス対象セクタのアドレス（論理セクタアドレス又は論理アドレスとも称する）が指定されており、この論理セクタアドレスを検索キーとして、対応するブロックアドレスをアドレス変換テーブルを用いて検索する。

#### 【0038】

図4には消去テーブルの一部、即ち分割された先頭の消去テーブルの詳細が例示される。ETで示されるものが分割された一つの消去テーブルであり、図では“消去済”と記載された領域を併せて8重に多重化されている。多重化された8個の消去テーブルETはその内の1個が順番に有効とされる。分割された消去テーブルETは、メモリ領域の物理アドレス即ちブロックアドレス毎に空き情報フラグ（単にフラグとも記す）が対応付けられている。要するに、消去テーブルETの先頭から順番に1ビット単位で、先頭ブロック（ブロックアドレス  $BA_0-0$ ）の空き情報フラグFLG、次ブロック（ブロックアドレス  $BA_0-1$ ）の空き情報フラグFLGというように、順次フラグのビットで埋められている。空き情報フラグFLGは1ビットで対応ブロックの消去許可又は不許可を示す。“1”は消去許可、“0”は消去不許可を示す。消去テーブルにおける空き情報フラグFLGの配列はブロックアドレス（物理アドレス）の昇順に従って配置される。降順であってもよい。

#### 【0039】

図5乃至図7には多重化された8個のテーブル（消去テーブルET、アドレス変換テーブルATT）の内の1個を順番に有効とする制御手法が例示される。図5乃至図7において“テーブル”と記載された部分が有効とされるテーブルを意味する。有効なテーブルは、管理領域FLDadの更新フラグF<sub>rn</sub>によって識別する。更新フラグF<sub>rn</sub>は分割テーブルに対応させて各メモリブロックに4ビ

ットあり、対応分割テーブルが有効にされたとき “1 “にされ、消去されるまでその状態を維持する。2 個のメモリブロックで多重化された分割テーブルは交互にメモリブロックを変えながら順次選択される。選択方向先頭で更新フラグ F r n が” 1 “と” 0 “の境界になっている地点が検索されることにより、当該” 1 “の更新フラグ F r n に対応する分割テーブルが有効になる。有効な分割テーブルの位置を変更するのはテーブル内容を更新するときに行う。8 個のテーブルの初期状態は (A) の状態である。(A) の状態から (B) のテーブル更新を行うときは追加書き込みによって更新を行う。(B) から (H) までの更新にも追加書き込みを使う。要するに、消去を行わず、新たにデータを追加する部分以外をマスクして (書き込み非選択として) 書き込みを行う。(H) の状態からテーブルを更新するときには、空きブロック領域 2 3 にあるブロックに書き換えを行い、テーブル 0 を新しく作成し、元のテーブル 0 は空きブロックとして再利用する。このときの状態が (I) である。(I) の状態からテーブルを更新するときには、空きブロック領域 2 3 にあるブロックに書き換えを行い、テーブル 1 を新しく作成し、元のテーブル 1 は空きブロックとして再利用する。このときの状態が (J) である。(J) の状態は (B) の状態と同様であり、次に更新すると (C) の状態になる。この処理により、テーブル上の同じ不揮発性メモリセルが繰り返し書き換えに供される頻度を低減することができる。

#### 【 0 0 4 0 】

図 8 には前記消去テーブル 2 0 及びアドレス変換テーブル 2 1 を利用したメモリカードのライトアクセス動作処理フローが例示される。ホストコンピュータ 6 からライトアクセスが有ると、カードコントローラ 5 は論理アドレス L B A (論理セクタアドレス) に対応するブロックアドレスが格納されているアドレス変換テーブル A T T をバッファメモリ 4 のアドレス変換テーブルバッファにリードする (S 1)。このときに、アドレス変換テーブル 2 1 においてそれをインデックスする論理アドレス情報は昇順配置だから、先ずそれに従って、アドレス変換テーブルが配置される 2 個のメモリブロックを選べばよい。選んだ 2 個のメモリブロックに対し図 5 等に例示される管理領域 F L D a d を先ずリードして、多重化されている中から有効なアドレス変換テーブル A T T の所在を把握し、これに基

づいてアドレス変換テーブル A T T をリードすることになる。そして、リードしたアドレス変換テーブルを検索することによりライト対象の論理アドレスに現在対応するブロックアドレス（旧ブロックアドレスと称する）O B A を取得する（S 1）。

#### 【0041】

カードコントローラ 5 は、旧ブロックアドレス O B A に格納されているデータのうちから書換ええないデータを読み出してバッファメモリ 4 のデータバッファにリードし、ホストコンピュータ 6 からのライトデータと組合わせる（S 2）。例えばライトデータが 1 ストレージセクタ分であるなら、旧ブロックアドレス O B A からは 3 ストレージセクタ分のデータをリードし、合わせて 4 ストレージセクタ分のデータを書き換えデータとする。

#### 【0042】

次にカードコントローラ 5 は、旧ブロックアドレス O B A に対応する消去テーブル（以下旧消去テーブルと称する）E T をバッファメモリ 4 の旧消去テーブルバッファにリードする（S 3）。リードすべき消去テーブル E T の選択は、分割された消去テーブル全体のテーブル内がブロックアドレスの昇順でインデックス可能になっているので、それに従って行えばよい。リードされる消去テーブルは分割配置された消去テーブルの一つである。ここでは、前述の通り、分割配置された一つの消去テーブルは多重化されており、前記更新フラグ F r n の状態を参照して多重化されている中の一つの分割消去テーブルをリードすることになる。次に、マイクロプロセッサがプログラム R O M 1 6 内の擬似乱数発生プログラムを実行して、書込みデータの書込み先となるブロックアドレス（新ブロックアドレス）を取得するための検索開始ブロックアドレスを求める（S 4）。カードコントローラ 5 は、このようにして得られた検索開始ブロックアドレスに対応した消去テーブル（新消去テーブルと記す）をバッファメモリにリードする（S 5）。この場合も上記同様に、リードされる消去テーブルは分割配置された消去テーブルの一つである。また、前述の通り、分割配置された一つの消去テーブルは多重化されており、前記更新フラグ F r n の状態を参照して多重化されている中の一つの分割消去テーブルを新消去テーブルとしてリードすることになる。

## 【0043】

そして、メモリコントローラ5はメモリバッファ4にリードした新消去テーブルから消去許可な新ブロックアドレス（NBA）を検索する（S6）。即ち、メモリバッファ4にリードした新消去テーブルETの疑似乱数発生プログラムを実行して取得した検索開始ブロックアドレスから昇順又は降順に空き情報フラグFLGを調べ、例えば最初に検索した“1”の空き情報フラグFLGの位置に応ずるブロックアドレスを新ブロックアドレスNBAとする。新ブロックアドレスのメモリブロックに対して一括消去処理が行われる（S7）。その後、新ブロックアドレスのメモリブロックに対して、前記ステップS2で生成された書き換えデータによって書き込み処理を行う（S8）。書き込み処理に対して書き込み成功か否かが判定される（S9）。書き込み不成功であれば、そのときのバッファメモリ4にリードされている新消去テーブル上で、当該書き込みエラーに係る新ブロックアドレスに対応する空きフラグFLGを消去不許可の状態“0”に変更し（S10）、前記ステップS6に戻って、前記新消去テーブルから消去許可な別のブロックアドレスを検索して、途中から処理をやり直す。

## 【0044】

ステップS9でライト成功と判別されたときは、先ず、バッファメモリ4にリードされている新消去テーブル上で、新ブロックアドレスに対応する空き情報フラグFLGを消去不可に設定し（当該新ブロックアドレスを消去不許可に設定し）、変更した新消去テーブルのデータを書き換えデータとして、フラッシュメモリ2上の当該新消去テーブルのメモリブロックに書き込む（S11）。次に、バッファメモリ4にリードされている前記アドレス変換テーブルATT上で、今回のアクセス対象論理アドレスに対応するブロックアドレスを、旧ブロックアドレスOBAから新ブロックアドレスNBAに変更し、変更したアドレス変換テーブルのデータを書き換えデータとして、フラッシュメモリ2上の当該アドレス変換テーブルのメモリブロックに書き込む（S12）。最後に、バッファメモリ4にリードされている旧消去テーブル上で、旧ブロックアドレスに対応する空き情報フラグFLGを消去可に設定し（当該旧ブロックアドレスを消去許可に設定し）、変更した旧消去テーブルのデータを書き換えデータとして、フラッシュメモリ

2 上の当該旧消去テーブルのメモリブロックに書き込む（S 1 3）。

【0 0 4 5】

図 9 には図 8 で説明したステップ S 7 までの主な処理内容が図式的に示される。図 1 0 には図 9 の続きとして図 8 で説明したステップ S 8 から S 1 3 までの主な処理内容が図式的に示される。ここでは旧ブロックアドレスのブロックデータにセクタデータ S D h , S D i , S D j , S D k が含まれ、その内のセクタデータ S D h がホストコンピュータ 6 からライトアクセスによりセクタデータ S D m に書き換えられるものとする。

【0 0 4 6】

図 9 及び図 8 によっても明らかなように、ステップ S 7 にて新ブロックアドレスのメモリブロックを消去し、ステップ S 8 にて新ブロックアドレスのメモリブロックに書き換えデータ S D m , S D i , S D j , S D k を書き込んでも（S 8）、旧ブロックアドレスのメモリブロックには書き換え前のデータ S D h , S D i , S D j , S D k がそのまま残っている。フラッシュメモリ 2 上では旧消去テーブル及びアドレス変換テーブルもそのままである。したがって、ステップ S 8 の書き込みが完了する前にメモリカード 1 がカードスロットから引き抜かれたりして動作電源が遮断されても、前のデータはそのまま残る。書き換えデータが書き込まれるメモリブロックは、書き換えられる元のデータのメモリブロックとは相違されるからである。更にステップ S 8 の書き換えデータの書き込みが終わった後、先ず、新ブロックアドレスを消去不許可に設定した新消去テーブルをフラッシュメモリ 2 に書き戻す（S 1 1）。書き戻しは多重化された別のメモリブロックに対して行われる。ステップ S 1 1 の処理完了により、新ブロックアドレスに書き込まれたデータの不所望な消去防止が保証される。次に旧ブロックアドレスが新ブロックアドレスに変更されたアドレス変換テーブルがフラッシュメモリ 2 に書き戻される（S 1 2）。これによって新ブロックアドレスへのアクセスが可能にされる。この書き戻しも多重化された別のメモリブロックに対して行われるから、ステップ S 1 2 の処理が完了される前に動作電源が遮断されても前の旧ブロックアドレスに関するアドレス変換テーブルはアクセス可能に残る。この段階では旧消去テーブルはそのまま残っている。旧ブロックアドレスのデータに



対するアクセスの容易性が保証される。設定変更された旧消去テーブルの書き戻しは最後に行われ（S 1 3）、これが完了されることにより、旧ブロックアドレスのメモリブロックデータは消去許可になって、最早不要になる。電源遮断によってステップ S 1 3 の処理が中断しても、単に旧ブロックアドレスのメモリブロックが再利用不可能になるだけであり、必要なデータアクセスに支障は生じない。

#### 【0047】

上記より明らかなように前記ステップ S 1 1, S 1 2, S 1 3 の処理順は不所望な電源遮断によるデータ消失の防止を徹底させ、且つ記憶情報管理の論理整合を採り易くする意味において重要である。即ち、先ず、新ブロックアドレスのデータを消去不許可にして保護する処理（S 1 1）を行った後に、旧ブロックアドレスに残っているデータを容易に取り出せなくする処理（S 1 2）、そして旧ブロックアドレスに残っているデータを消去許可とする処理（S 1 3）を行う。例えば S 1 1 の処理と S 1 3 の処理の順番を入れ替えて、先に S 1 3 の処理を完了すると、新ブロックアドレスと旧ブロックアドレスの双方に対して消去を許容する状態が発生し、このまま電源の遮断が発生すれば、その後に前記双方に対する消去許容態が維持され、必要なデータが不所望に消去される虞を生ずる。

#### 【0048】

さらに、メモリカードに搭載するフラッシュメモリを 2 以上とし又は 1 のフラッシュメモリ内でバンク分割を行い、消去テーブルの格納領域とアドレス変換テーブルの格納領域とを異なるフラッシュメモリ又は異なるバンクとする等により、カードコントローラ 5 からフラッシュメモリへ新消去テーブルの転送と新アドレス変換テーブルの転送とを行った後、新消去テーブルの書き込みと新アドレス変換テーブルの書き込みとを並行して行う（図 8 の S 1 1 と S 1 2 とをシーケンシャルに行うのではなく、パラレルに行う）ようにすることで、記憶情報管理の論理整合をより採り易くすることが可能となる。

#### 【0049】

図 1 1 にはアドレス変換テーブル 2 1 を利用したメモリカードのリードアクセス動作処理フローが例示される。ホストコンピュータ 6 からリードアクセスが有

ると、カードコントローラ 5 は論理アドレス LBA（論理セクタアドレス）に対応するブロックアドレスが格納されているアドレス変換テーブル A T T をバッファメモリ 4 のアドレス変換テーブルバッファにリードする（S 2 0）。このときに、アドレス変換テーブル 2 1 においてそれをインデックスする論理アドレス情報は昇順配置だから、先ずそれに従って、アドレス変換テーブルが配置される 2 個のブロックを選べばよい。選んだ 2 個のブロックに対し図 5 等に例示される管理領域 F L D a d を先ずリードして、多重化されている中から有効なアドレス変換テーブル A T T の所在を把握し、これに基づいてアドレス変換テーブル A T T をリードすることになる。そして、リードしたアドレス変換テーブルを検索することによりリード対象の論理アドレスに現在対応するブロックアドレス B A を取得する（S 2 0）。

#### 【0050】

カードコントローラ 5 は、ブロックアドレス B A に格納されているデータをリードする（S 2 1）。リードデータに対して E C C エラーの判定を行い（S 2 2）、エラーがあれば E C C 訂正処理を行い（S 2 3）、リードデータをホストコンピュータ 6 に向けて出力する。

#### 【0051】

図 1 2 にはメモ리카ード 1 のパワーオン処理が例示される。メモ리카ード 1 に電源が投入されると、C P U 1 5 内のレジスタ初期化（S 3 0）と、ホストインタフェース回路 1 0、フラッシュコントローラ 1 2、及びバッファコントローラ 1 3 に対するレジスタ初期化（S 3 1）を行う。そしてメモ리카ード 1 に実装されているフラッシュメモリ 2 を確認し（S 3 2）、フラッシュメモリ 2 からシステム情報をリードする（S 3 3）。次に、前記アドレス変換テーブルを検索し、テーブルのアドレスをワーク R A M 1 7 に格納する（S 3 4）。同様に前記消去テーブルを検索し、テーブルのアドレスをワーク R A M 1 7 に格納する（S 3 5）。ワーク R A M 1 7 に格納されるテーブルアドレスは分割されたそれぞれのテーブルのメモリブロックアドレスとされる。或いは消去テーブル全体における先頭ブロックアドレスと、アドレス変換テーブル全体における先頭ブロックアドレスであってもよい。図 1 3 にはテーブルアドレスの格納処理の様子が例示される

。ホストコンピュータ 6 からのリードアクセス及びライトアクセスに応答する前記処理においてテーブルアドレスをワーク RAM 1 7 から取得することで、テーブルをアクセスする処理の高速化に寄与する。

#### 【0 0 5 2】

尚、ここで、メモリブロックの有効性に関する制御について説明する。最初の状態ではエラーを生ずる無効なメモリブロックを除外してアドレス変換テーブルが形成され、また、そのような無効なメモリブロックは消去テーブル上において空き情報フラグが消去不許可に設定される。これにより、無効なメモリブロックはリード及びライトの対象にされない。途中で回復不可能なエラーを検出したときは当該メモリブロックに対応してアドレス変換テーブル及び消去テーブルをその用に変更すればよい。これによって各メモリブロックがその有効性を示す有効ビットを積極的に持たなくてもよくなる。システムメンテナンス上有効ビットを持つことを妨げるものではない。

#### 【0 0 5 3】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

#### 【0 0 5 4】

例えば、テーブルは必ずしも分割されていなくても、多重化されていなくてもよい。消去処理や書き込み処理は必ずしもワード線単位で無くてもよい。フラッシュメモリは 1 個のメモリセルで 2 値データを記憶する構成だけでなく、4 値以上の多値情報を記憶する構成であってもよい。不揮発性メモリはフラッシュメモリに限定されず、高誘電体メモリなど、他の記憶形式のメモリであってよいことは言うまでもない。また、カードコントローラのような制御回路は I D E などのホストインタフェース回路を備えなくてもよく、その機能をホストコンピュータに負担させるように規格化されたメモリカードにも適用可能である。

#### 【0 0 5 5】

#### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単

に説明すれば下記の通りである。

**【0056】**

すなわち、アドレス変換テーブルを用いるので、正規のメモリ領域へのアクセスの高速化を実現することができる。

**【0057】**

テーブルの分割化、多重化により、消去及び書き込み処理によるディスタークの影響を軽減することができる。

**【0058】**

テーブルの分割化、多重化、書き換えメモリ領域のダイナミックな変更により、メモリセルの書換え回数の制限に対して寿命を延ばすことができる。

**【0059】**

書き換えメモリ領域のダイナミックな変更により、動作電源の遮断によるアドレスの消失や書き込み非対象の記憶情報の不所望な消失を防止することができる。

**【図面の簡単な説明】**

**【図1】**

本発明に係るメモリカードの一例を示すブロック図である。

**【図2】**

フラッシュメモリ2の記憶領域を例示するアドレスマップである。

**【図3】**

アドレス変換テーブルの一部即ち分割された先頭のアドレス変換テーブルの詳細を例示する説明図である。

**【図4】**

消去テーブルの一部即ち分割された先頭の消去テーブルの詳細を例示する説明図である。

**【図5】**

多重化された8個のテーブル（消去テーブルET、アドレス変換テーブルATT）の内の1個を順番に有効とする制御手法を図6及び図7と共に例示する説明図である。

**【図 6】**

図 5 の続きの制御手法を示す説明図である。

**【図 7】**

図 6 の続きの制御手法を示す説明図である。

**【図 8】**

消去テーブル及びアドレス変換テーブルを利用したメモリカードのライトアクセス動作処理を例示するフローチャートである。

**【図 9】**

図 8 で説明したステップ S 7 までの主な処理内容を図式的に示す説明図である。

**【図 1 0】**

図 9 の続きとして図 8 で説明したステップ S 8 から S 1 3 までの主な処理内容が図式的に示す説明図である。

**【図 1 1】**

アドレス変換テーブルを利用したメモリカードのリードアクセス動作処理を例示するフローチャートである。

**【図 1 2】**

メモリカードのパワーオン処理を例示するフローチャートである。

**【図 1 3】**

パワーオン処理におけるテーブルアドレスの格納処理の様子を例示する説明図である。

**【符号の説明】**

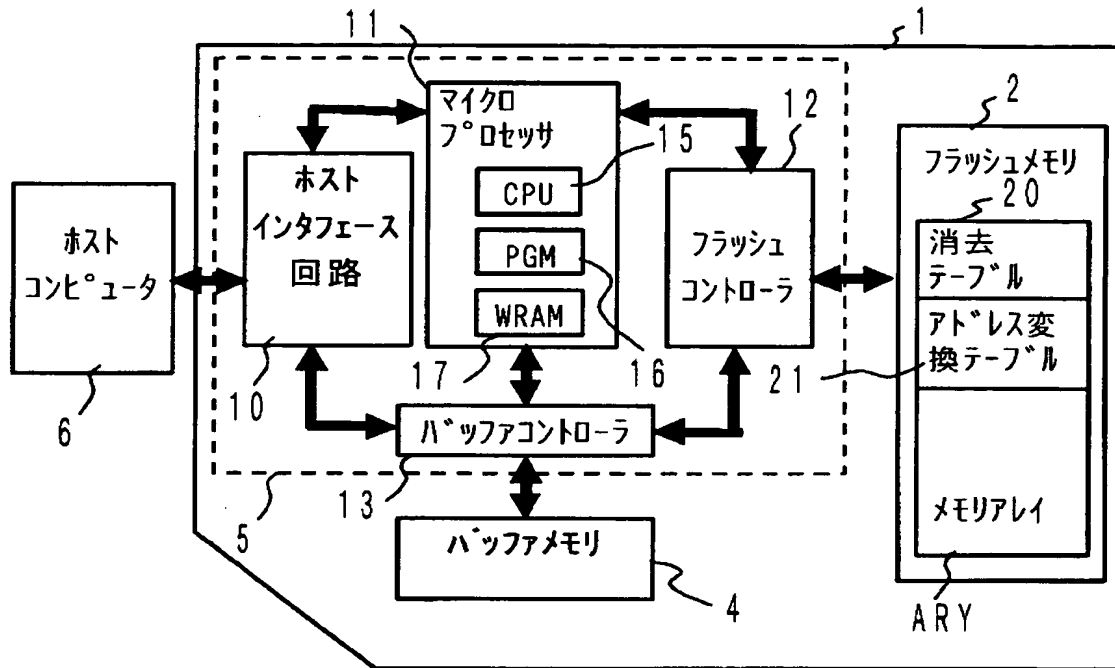
- 1   メモリカード
- 2   フラッシュメモリ
- 4   バッファメモリ
- 5   カードコントローラ
- 6   ホストコンピュータ
- 1 0   ホストインタフェース回路
- 1 1   マイクロプロセッサ

1 2 フラッシュコントローラ  
1 3 バッファコントローラ  
1 5 C P U  
1 6 プログラムメモリ  
1 7 ワーク R A M  
A R Y メモリアレイ  
2 0 消去テーブル  
2 1 アドレス変換テーブル  
2 2 ユーザエリア  
F L G 空き情報フラグ  
B A 0 - 0、B A 0 - 1、B A i、B A j、B A m、B A n ブロックアドレス  
F L D a d 管理領域  
E T 分割及び多重化された一つの消去テーブル  
A T T 分割及び多重化された一つのアドレス変換テーブル

【書類名】 図面

【図 1】

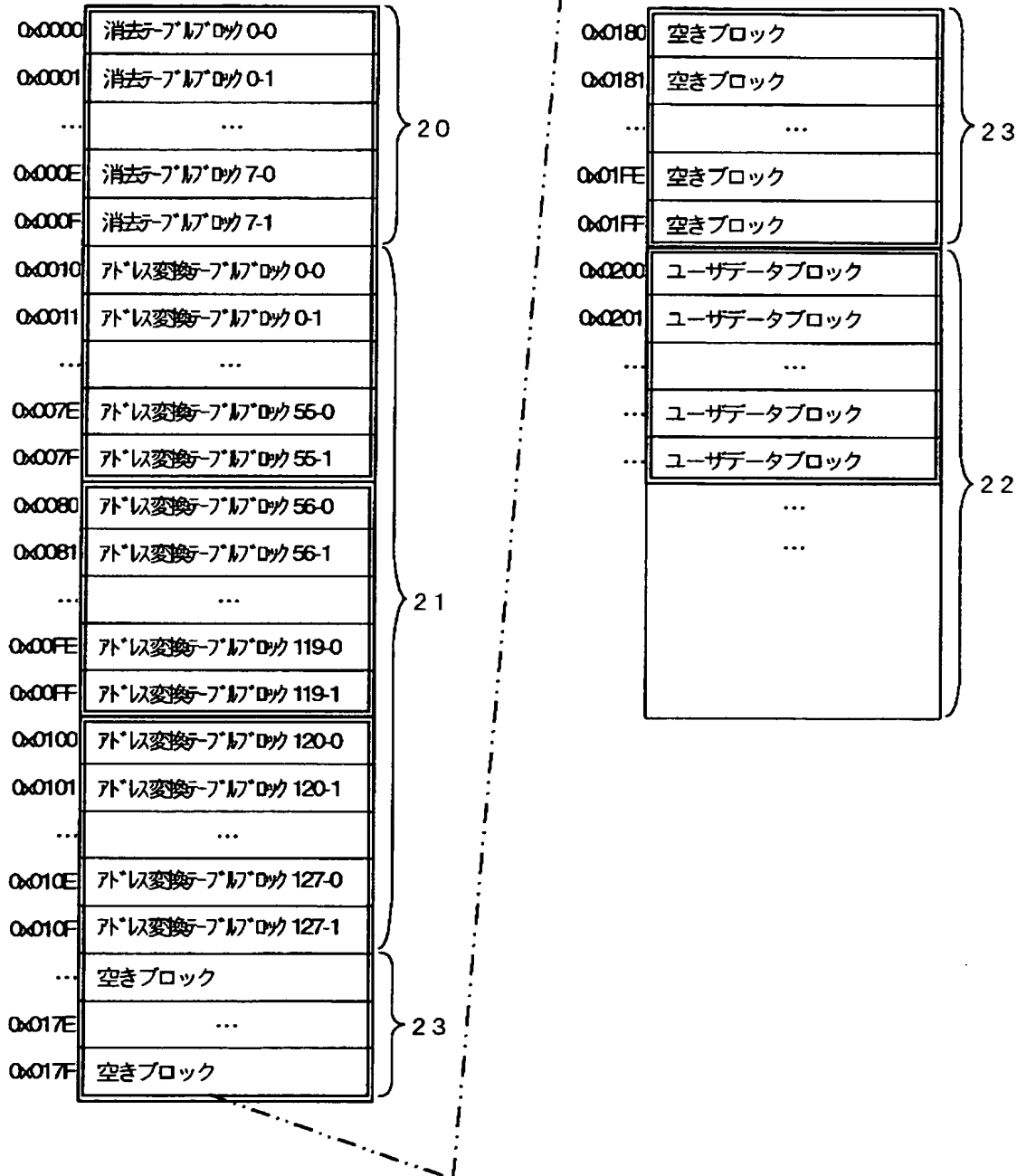
図 1



【図 2】

図 2

ブロックアドレス





【図 3】

図 3

ブロックアドレス

BA55-0	ATT	消去済	消去済	消去済	アドレス変換テーブルブロック 55-0
BA55-1	消去済	消去済	消去済	消去済	アドレス変換テーブルブロック 55-1
...	...				
BAm	LBA-0	LBA-1	LBA-2	LBA-3	
...	...				
BAn	LBA-4	LBA-5	LBA-6	LBA-7	
...	...				

アドレス変換テーブル(ATT)

LBA-0~3	LBA-4~7	...
WP(1bit) BAm(15bit)	WP(1bit) BAm(15bit)	...

【図 4】

図 4

BA0-0	ET	消去済	消去済	消去済	消去テーブルブロック 0-0
BA0-1	消去済	消去済	消去済	消去済	消去テーブルブロック 0-1
...	...				
BAi	消去可能ブロック				
...	...				
BAj	不良ブロック				
...	...				

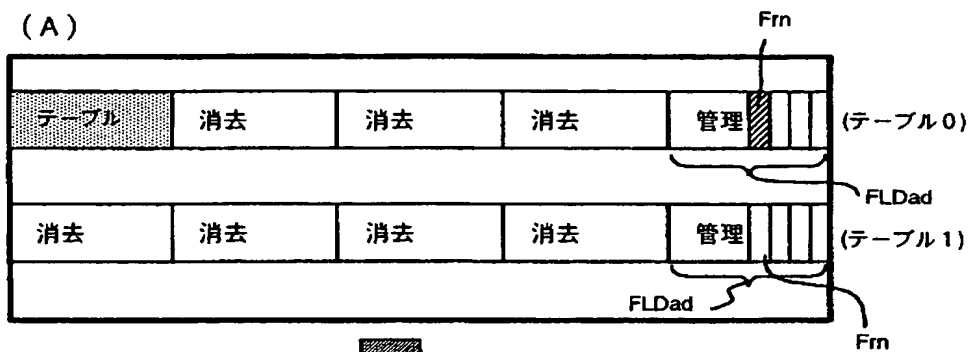
消去テーブル(ET)

BA0-0 の FLG	BA0-1 の FLG	...	BAi の FLG	...	BAj の FLG	...
0	0		1		0	

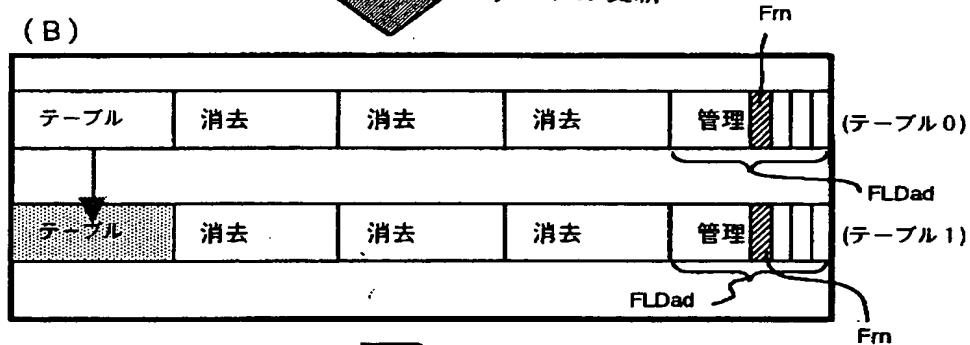
【図 5】

図 5

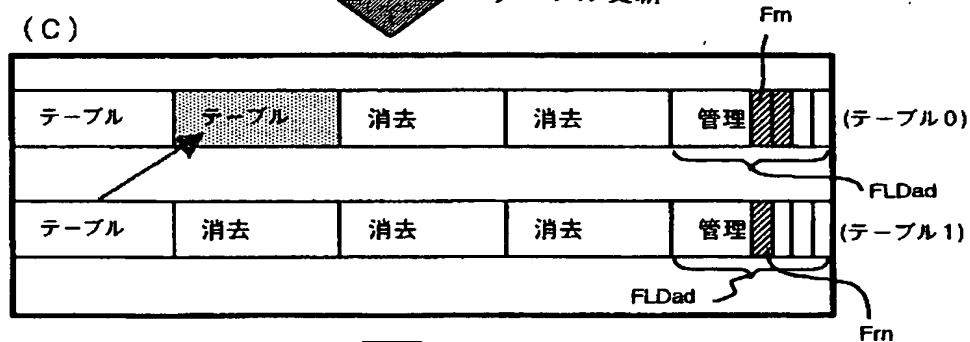
(A)



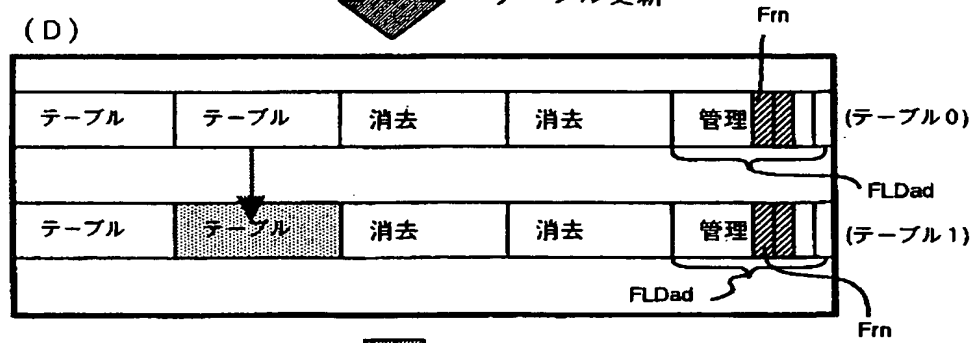
(B)



(C)

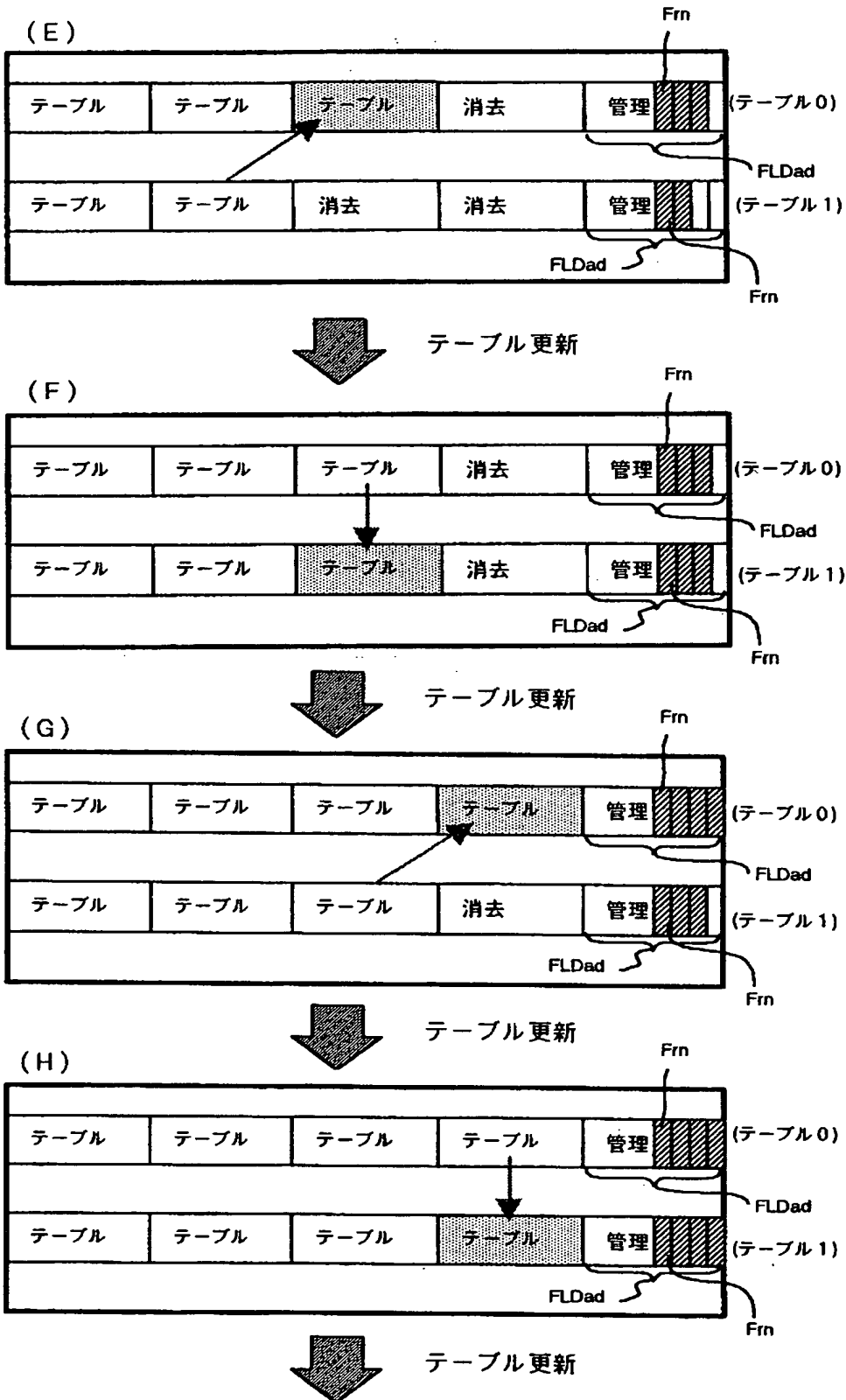


(D)



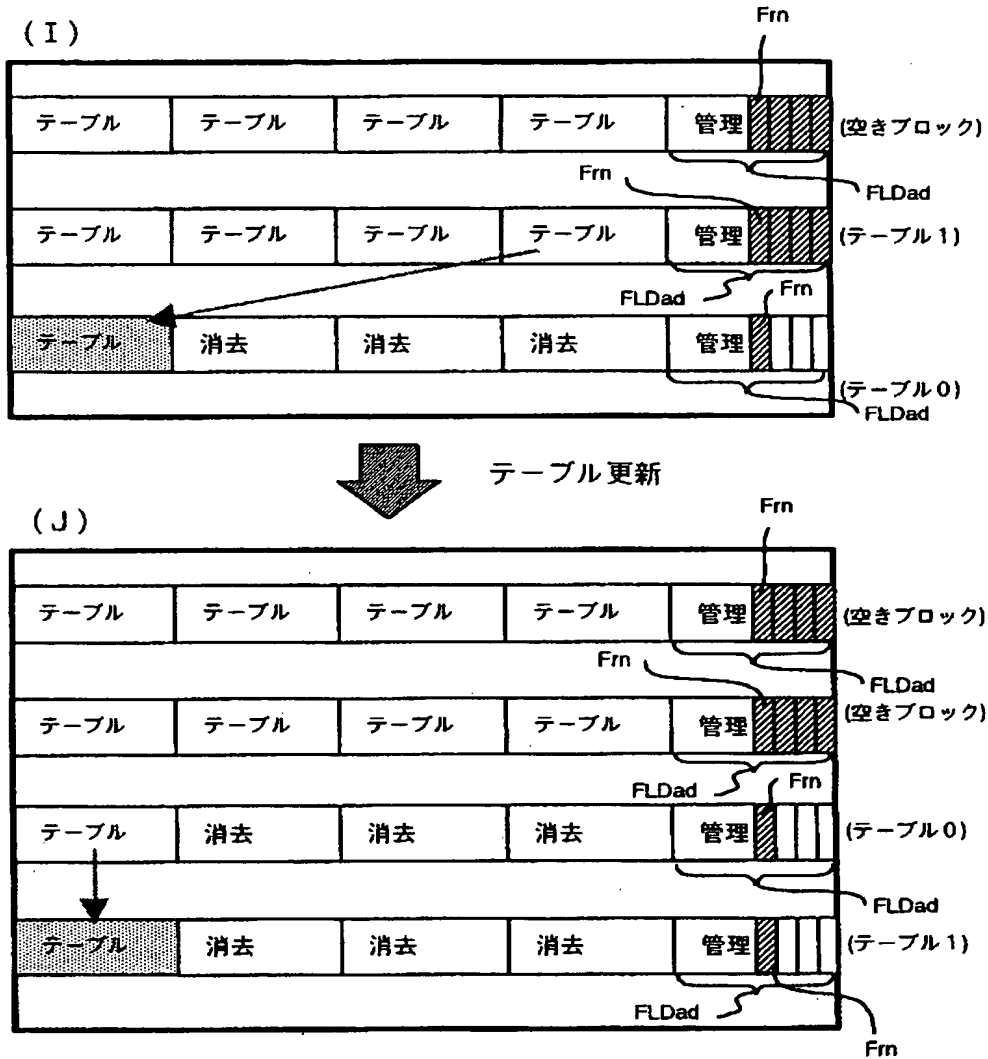
【図 6】

図 6



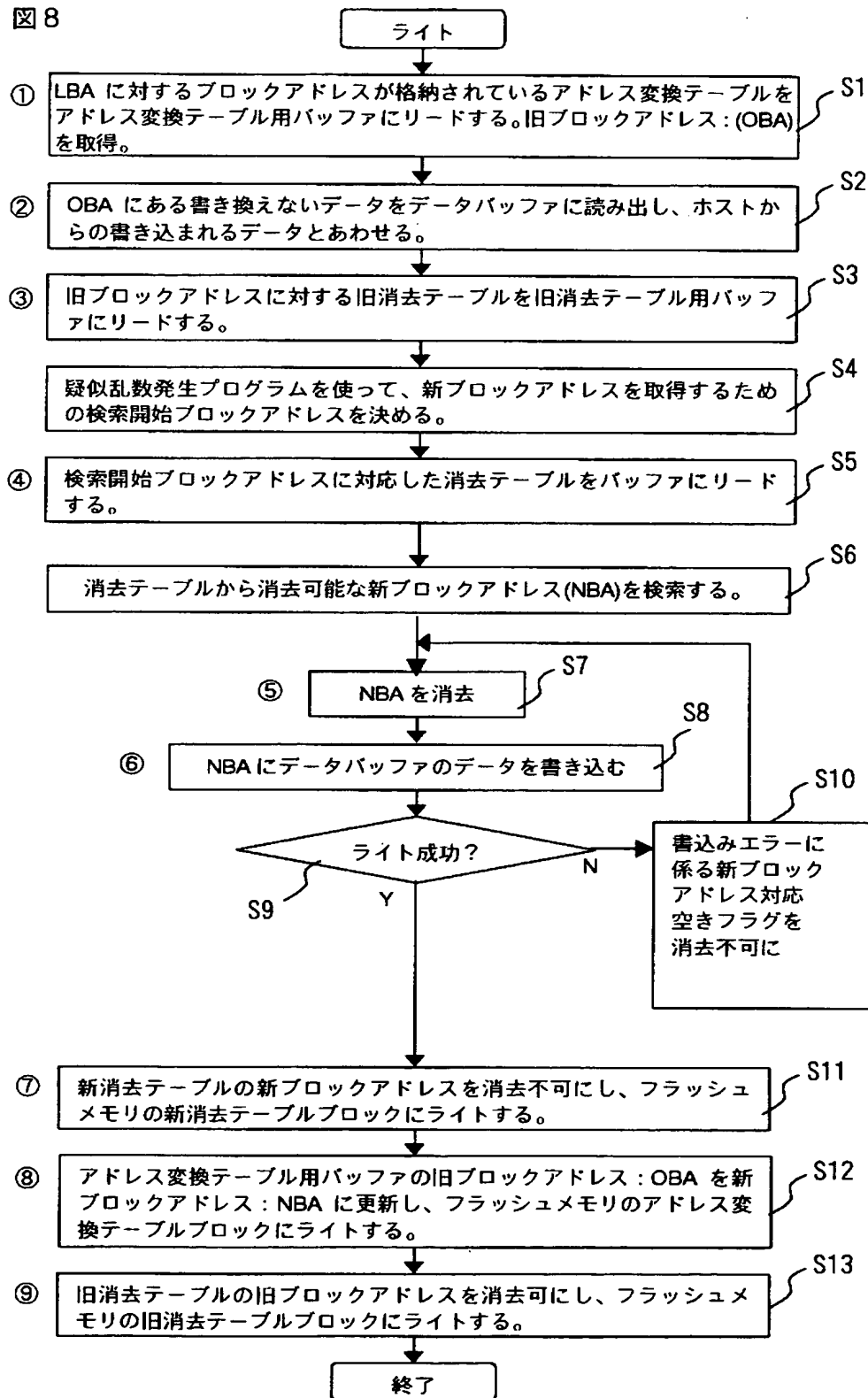
【図 7】

図 7



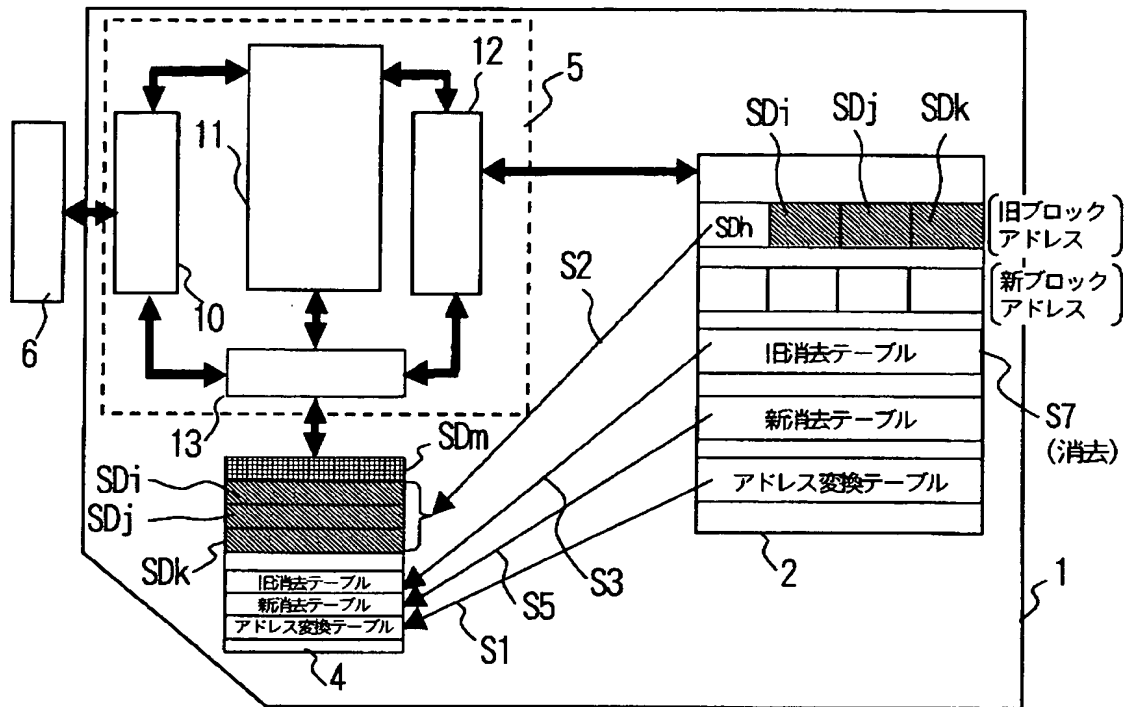
【図 8】

図 8



【図 9】

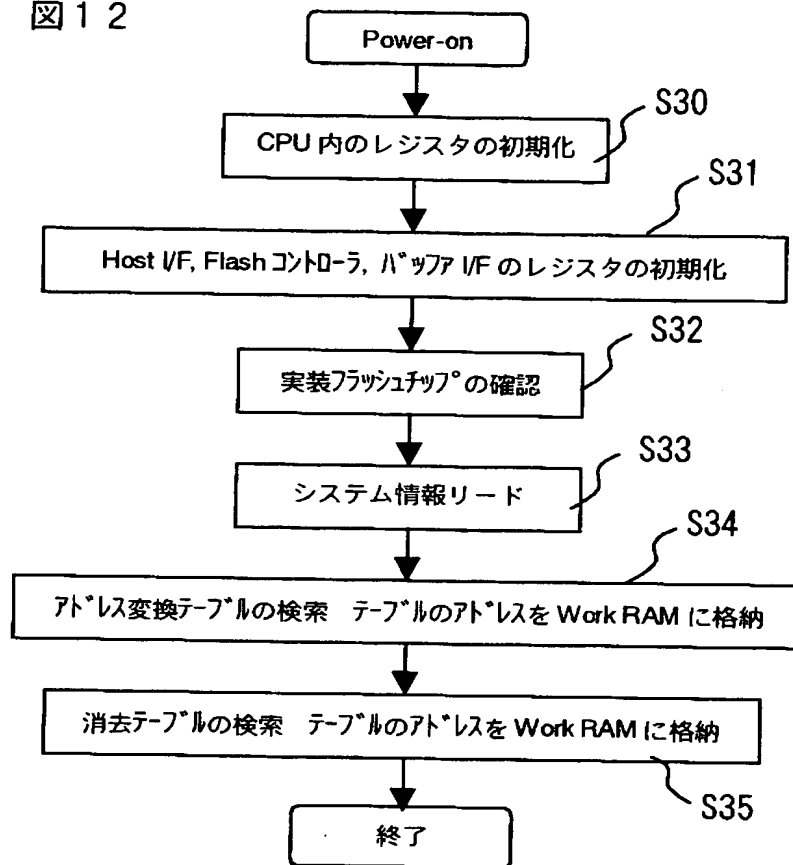
図 9





【図 12】

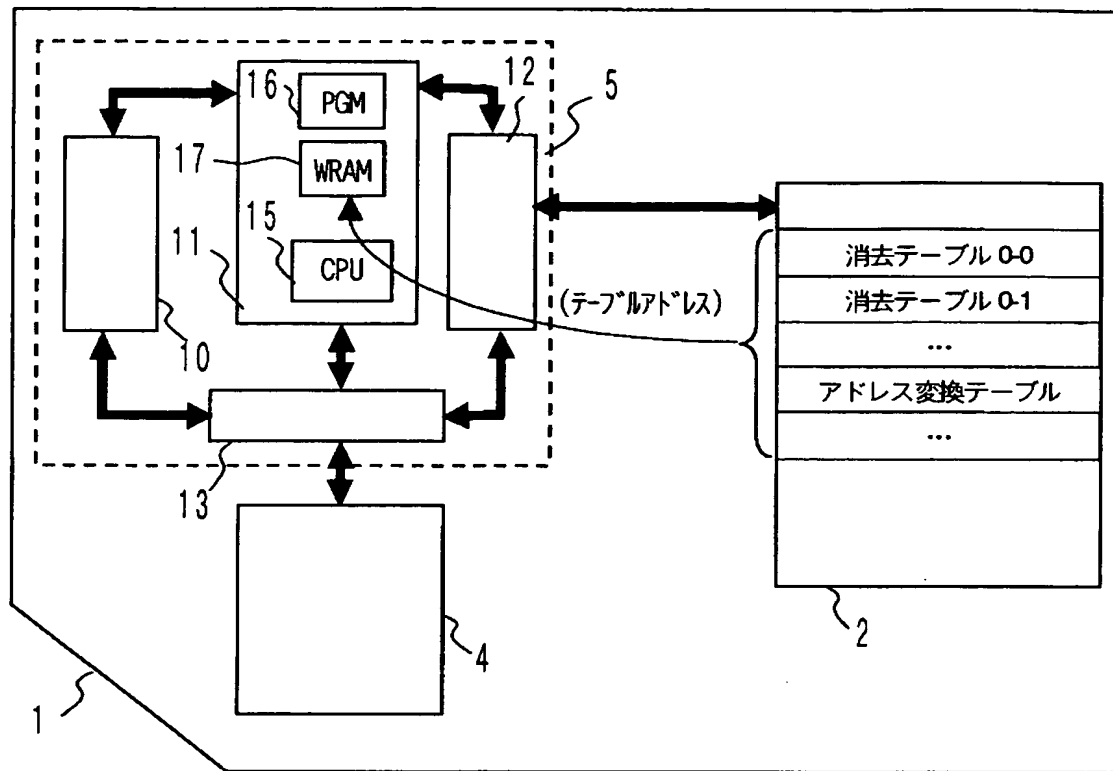
図 12





【図 13】

図 13



【書類名】 要約書

【要約】

【課題】 消去及び書き込み処理中に動作電源が遮断されても記憶情報が不所望に消失しないメモリカードを提供する。

【解決手段】 不揮発性メモリ（２）は、そのメモリ領域の物理アドレス毎に空き情報フラグを対応付けた消去テーブル（２０）と、論理アドレス毎にメモリ領域の物理アドレスを対応付けたアドレス変換テーブル（２１）とを有し、空き情報フラグは対応メモリ領域が消去許可か否かを示す。制御回路（５）は、消去テーブルの空き情報フラグを参照して書き換えデータを書き込むメモリ領域を決定し、データを書き込んだメモリ領域の物理アドレスと論理アドレスとを対応をアドレス変換テーブルに反映し、消去テーブルの空き情報フラグを更新する。書き換えデータを書き込むメモリ領域は消去テーブルの空き情報フラグを参照して決定し、書き換え前のメモリ領域と同じメモリ領域で書き換えを行わない。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-294060

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 2 - 3 2 1 6 4 9 号 同日提出の出願人  
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 9 4 0 6 0
受付番号	5 0 3 0 1 2 1 0 7 9 1
書類名	出願人名義変更届（一般承継）
担当官	土井 恵子 4 2 6 4
作成日	平成 1 5 年 1 0 月 7 日

< 認定情報・付加情報 >

【提出日】 平成15年 7月23日

特願 2 0 0 2 - 2 9 4 0 6 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 2 9 4 0 6 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 3 3 1 6 9 ]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ

特願 2 0 0 2 - 2 9 4 0 6 0

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ